

Attorney's Docket No.: 5649-1148

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hwang et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **PHASE CHANGEABLE MEMORY CELLS AND METHODS OF  
FABRICATING THE SAME**

August 29, 2003

BOX PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

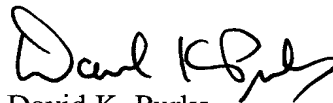
SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2002-0067350, filed November 1, 2002.

Respectfully submitted,



David K. Purks

Registration No. 40,133

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No.: EV 353596676 US

Date of Deposit: August 29, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Audra Wooten

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067350  
Application Number

출원년월일 : 2002년 11월 01일  
Date of Application NOV 01, 2002

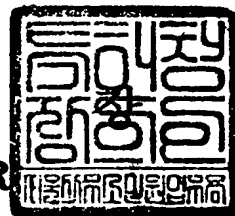
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      05      월      29      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2002.11.01  
**【발명의 명칭】** 상변환 기억소자 및 그 제조방법  
**【발명의 영문명칭】** PHASE CHANGEABLE MEMORY DEVICE AND METHOD OF FABRICATING THE SAME

## 【출원인】

**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3

## 【대리인】

**【성명】** 임창현  
**【대리인코드】** 9-1998-000386-5  
**【포괄위임등록번호】** 1999-007368-2

## 【대리인】

**【성명】** 권혁수  
**【대리인코드】** 9-1999-000370-4  
**【포괄위임등록번호】** 1999-056971-6

## 【발명자】

**【성명의 국문표기】** 이세호  
**【성명의 영문표기】** LEE, SE HO  
**【주민등록번호】** 721220-1057066  
**【우편번호】** 449-900  
**【주소】** 경기도 용인시 기흥읍 농서리 산 24번지  
**【국적】** KR

## 【발명자】

**【성명의 국문표기】** 황영남  
**【성명의 영문표기】** HWANG, YOUNG NAM  
**【주민등록번호】** 681114-1026017  
**【우편번호】** 153-011

**【주소】** 서울특별시 금천구 독산1동 주공14단지아파트 1403동 901호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 18 면 18,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 27 항 973,000 원  
**【합계】** 1,020,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

상변환 기억소자 및 그 제조방법을 제공한다. 이 기억소자는 반도체 기판 상에 형성되되, 평판부(planar portion) 및 수직부(vertical portion)를 갖는 실린더형 하부전극과, 수직부의 일부분 상에 형성되어 하부전극과 접하는 상변환 패턴을 포함한다. 상변환 패턴 상에 상부전극이 형성되되, 상부전극은 하부전극 상부에 하부전극을 향하는 팁(tip)을 갖는다. 실린더형 하부전극은 반도체 기판 상에 제1 주형막(mold layer)을 형성하고, 제1 주형막 상에 도전막을 콘포말하게 형성한 후, 도전막을 화학적계적연마공정으로 연마함으로써 형성한다. 하부전극을 갖는 반도체 기판 상에 수직부의 일부분 상에 콘택홀을 갖는 층간절연막을 형성하고, 콘택홀의 내벽에 스페이서 패턴을 형성한다. 스페이서 패턴으로 정의된 할로영역내에 층간절연막 및 스페이서 패턴을 갖는 반도체 기판 상에 할로영역 내에 덴트를 갖는 상변환막을 형성한다. 계속해서, 상기 상변환막 상에 도전막을 형성하고, 도전막 및 상변환막을 차례로 패터닝하여 하부전극 상에 차례로 적층된 상변환 패턴 및 상부전극을 형성한다.

## 【대표도】

도 6b

【명세서】

【발명의 명칭】

상변환 기억소자 및 그 제조방법 {PHASE CHANGEABLE MEMORY DEVICE AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 전형적인 상변환 기억소자를 나타낸 등가회로도이다.

도 2는 상변환 기억소자의 기입 및 소거동작을 설명하기 위한 그래프이다.

도 3은 종래의 상변환 기억소자를 나타낸 단면도이다.

도 4 및 도 5는 각각 종래의 상변환 기억소자의 단점을 설명하기 위한 단면도들이다.

도 6a 및 도 6b는 각각 본 발명의 제1 실시예에 따른 상변환 기억소자의 정보저장 영역을 나타낸 평면도 및 단면도이다.

도 7a 및 도 7b는 각각 본 발명의 제2 실시예에 따른 상변환 기억소자의 정보저장 영역을 나타낸 평면도 및 단면도이다.

도 8 내지 도 12는 본 발명의 제1 실시예에 따른 상변환 기억소자의 정보저장 영역의 제조방법을 설명하기 위한 공정단면도들이다.

도 13 내지 도 15은 본 발명의 제2 실시예에 따른 상변환 기억소자의 정보저장 영역의 제조방법을 설명하기 위한 공정단면도들이다.

도 16 및 도 17은 본 발명의 효과를 설명하기 위한 도면들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 비휘발성 기억소자 및 그 제조방법에 관한 것으로, 특히 상변환 기억셀들 및 그 제조방법에 관한 것이다.
- <11> 비휘발성 메모리 소자들은 그들의 전원이 차단될지라도 그들 내에 저장된 데이터들이 소멸되지 않는 특징을 갖는다. 이러한 비휘발성 메모리소자들은 적층 게이트 구조(stacked gate structure)를 갖는 플래쉬 기억 셀들을 주로 채택하고 있다. 상기 적층 게이트 구조는 채널 상에 차례로 적층된 터널산화막, 부유게이트, 게이트 층간 유전체막(inter-gate dielectric layer) 및 제어게이트 전극을 포함한다. 따라서, 상기 플래쉬 기억 셀들의 신뢰성 및 프로그램 효율을 향상시키기 위해서는 상기 터널산화막의 막질이 개선되어야 하고 셀의 커플링 비율이 증가되어야 한다.
- <12> 상기 플래쉬 메모리소자들 대신에 새로운 비휘발성 기억소자들, 예컨대 상변환 기억소자들이 최근에 제안된 바 있다.
- <13> 도 1은 상기 상변환 기억소자의 단위 셀을 나타낸 등가회로도이다.
- <14> 도 1을 참조하면, 상기 상변환 기억 셀은 하나의 액세스 트랜지스터( $T_A$ ) 및 하나의 가변저항체(C)로 구성된다. 상기 가변저항체(C)는 하부전극, 상부전극 및 그들 사이에 개재된 상변환 물질막(phase changeable material layer)로 구성된다. 상기 가변저항체(C)의 상기 상부전극은 플레이트 전극(PL)과 접속된다. 또한, 상기 액세스 트랜지스터( $T_A$ )는 상기 하부전극과 접속된 소오스 영역, 상기 소오스 영역과 이격된

(spaced apart) 드레인 영역, 상기 소오스 영역 및 상기 드레인 영역 사이의 채널영역 상에 위치하는 게이트 전극을 포함한다. 상기 액세스 트랜지스터( $T_A$ )의 상기 게이트 전극 및 드레인 영역은 각각 워드라인(WL) 및 비트라인(BL)에 접속된다. 결과적으로, 상기 상변환 기억 셀의 등가회로는 디램셀의 등가회로도 유사하다. 그러나, 상기 상변환 물질막의 성질은 상기 디램 셀에 채택되는 유전체막의 성질과 전혀 다르다. 즉, 상기 상변환 물질막은 온도에 따라 2개의 안정된 상태(two stable states)를 갖는다.

<15> 도 2는 상기 상변환 기억 셀을 프로그램 및 소거시키는 방법을 설명하기 위한 그래프이다. 여기서, 가로축은 시간(T)을 나타내고, 세로축은 상기 상변환 물질막에 가해지는 온도(TMP)를 나타낸다.

<16> 도 2를 참조하면, 상기 상변환 물질막을 용융온도(melting temperature;  $T_m$ )보다 높은 온도에서 제1 기간(first duration;  $T_1$ )동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 비정질 상태(amorphous state)로 변환한다(1). 이에 반하여, 상기 상변환 물질막을 상기 용융온도( $T_m$ )보다 낮고 결정화온도(crystallization temperature;  $T_c$ )보다 높은 온도에서 상기 제1 기간( $T_1$ )보다 긴 제2 기간(second duration;  $T_2$ )동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 결정상태(crystalline state)로 변환한다(2). 여기서, 비정질 상태를 갖는 상변환 물질막의 비저항은 결정질 상태를 갖는 상변환 물질막의 비저항보다 높다. 따라서, 읽기 모드에서 상기 상변환 물질막을 통하여 흐르는 전류를 감지(detection)함으로써, 상기 상변환 기억 셀에 저장된 정보가 논리 "1"인지 또는 논리 "0"인지를 판별(discriminate)할 수 있다. 상기 상변환 물질막으로는 게르마늄(Ge), 텔루리움(tellurium; Te) 및 스티비움(stibium; Sb)을 함유하는 화합물막(compound material layer; 이하 'GTS막'이라 함)이 널리 사용된다.



- <17> 상변환 소자의 효율을 향상시키기 위하여 전극과 상변환물질 사이의 접촉면적 (contact area)를 줄이기 위한 방법이 미국특허번호 6,117,720호 "축소된 접촉면적을 갖는 집적회로의 전극 형성방법"(U.S.Patent No. 6,117,720 "METHOD OF MAKING AN INTEGRATED CIRCUIT ELECTRODE HAVING A REDUCED CONTACT AREA")에 개시되어 있다.
- <18> 도 3은 종래의 상변환 기억소자를 나타낸 단면도이다.
- <19> 종래의 상변환 기억소자는 반도체 기판 상에 형성된 하부전극(10)과, 상기 하부전극(10) 상에 오프닝을 갖는 층간절연막(12)을 포함한다. 상기 오프닝 내에 상기 하부전극(10)과 전기적으로 접속된 플러그(14)가 위치하고, 상기 플러그(14) 상의 상기 오프닝의 측벽에 스페이서(16)가 형성되고, 상기 스페이서(16)로 둘러싸여진 영역에 상기 플러그(14)에 접속된 콘택부(contact portion; 18)가 위치한다. 상기 콘택부(18)는 상변환물질로 형성되거나, 도전체로 형성될 수 있다. 상기 콘택부(18)가 상변환물질이면, 상기 층간절연막(12) 및 상기 콘택부(18) 상에 상부전극(20)이 배치되고, 상기 콘택부(18)가 도전체이면, 상기 콘택부(18) 상에 상변환 패턴이 형성되고, 상기 상변환 패턴 상에 상부전극이 배치된다.
- <20> 도 4 및 도 5는 각각 종래의 상변환 기억소자의 단점을 설명하기 위한 단면도들이다.
- <21> 도 4는 콘택부(18a)가 상변환물질인 경우를 나타낸다. 상기 하부전극(10)에 전류가 인가되면, 상기 플러그(14)과 상기 콘택부(18a) 사이의 계면 및 상기 콘택부(18a) 내에서 저항에 의한 열이 발생하여 상변환물질의 상태가 변환된다. 그러나, 상기 플러그(14)의 열전도율이 높고, 상기 콘택부(18a)와 접하는 상기 스페이서(16)의 온도가 낮기 때문에 상기 콘택부(18a)의 가장자리 및 상기 플러그(14)과 접하는 부분의 온도가 낮아질 수

있다. 그 결과, 상변화막이 비정질 상태로 변환하였을 때, 상기 콘택부(18a)의 가장자리가 완전히 비정질이 되지 않아 전류누설이 발생할 수 있다.

<22> 도 5는 콘택부(18b)가 도전체인 경우를 나타낸다. 상기 콘택부(18b) 상에 상변환 패턴(20)이 형성된다. 도 4에서 설명한 것과 마찬가지로, 상기 하부전극(10)에 전류를 인가하면, 상기 상변환 패턴(20)의 상기 콘택부(18b)와 접촉한 영역의 상태가 변환된다. 이 경우에도, 상기 콘택부(18b)와 접촉하는 영역 및 상기 콘택부(18b)의 가장자리와 접촉하는 영역의 열이 주변으로 전도되어 상태가 불완전하게 변환될 수 있다.

<23> 따라서, 종래기술에 따르면 상변환막의 상태를 완전하게 변환시키기 위해 많은 양의 전류가 필요하기 때문에 전력소모가 커질 수 있고, 데이터의 감도가 떨어질 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는, 상변환 소자의 효율을 높이기 위하여 하부전극과 상변환막 사이의 계면저항이 높고, 하부전극과 접하는 영역의 상변환막에서의 전류밀도가 높은 상변환 기억소자 및 그 제조방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위하여 본 발명은, 상변환막과 접촉면적이 좁은 하부전극 및 상기 하부전극을 향하는 팁(tip)이 형성된 상부전극을 갖는 상변환 기억소자를 제공한다. 이 기억소자는, 반도체 기판 상에 형성되되, 평판부(planar portion) 및 수직부(vertical portion)를 갖는 실린더형 하부전극과, 상기 수직부의 일부분 상에 형성되어 상기 하부전극과 접하는 상변환 패턴을 포함한다. 상기 상변환 패턴 상에 상부전극이

형성되되, 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 갖는다.

<26> 본 발명의 일 양태(aspect)에서, 상변환 기억 소자는 반도체 기판에 형성된 실린더형 하부전극을 포함한다. 상기 하부전극은 평판부 및 수직부를 가진다. 상기 하부전극을 갖는 반도체 기판 상에 층간절연막이 형성된다. 상기 층간절연막은 상기 하부전극의 수직부의 일부분 상에 형성된 콘택홀을 가진다. 상기 콘택홀의 내벽에 스페이서 패턴이 형성되고, 상기 스페이서 패턴은 상기 하부전극 상 할로영역(hollow region)을 가진다. 상기 상변환 기억 소자는 상기 할로영역을 채우는 상변환 패턴 및 상기 상변환 패턴 상에 형성된 상부전극을 더 포함한다. 상기 상변환 패턴은 상기 하부전극과 접하고, 상기 상변환 패턴의 측벽은 상기 층간절연막 상에 위치한다. 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 가진다.

<27> 본 발명의 다른 양태에서, 상변환 기억 소자는 반도체 기판에 형성된 실린더형 하부전극 및 상기 하부전극을 갖는 반도체 기판 상에 형성된 층간절연막을 포함한다. 상기 하부전극은 평판부 및 수직부를 가진다. 상기 층간절연막은 상기 수직부의 일부분 상에 콘택홀을 가진다. 상기 콘택홀의 내벽에 스페이서 패턴이 형성되고, 상기 스페이서 패턴은 상기 하부전극 상에 할로영역(hollow region)을 가진다. 상기 상변환 기억 소자는 상기 할로영역 내에 채워진 상변환 패턴 및 상기 상변환 패턴 상에 형성된 상부전극을 더 포함한다. 상기 상부전극의 측벽은 상기 층간절연막 상부에 위치한다. 또한, 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 가진다.

<28> 상기 기술적 과제를 달성하기 위하여 본 발명은, 상변환막과 접촉면적이 좁은 하부전극 및 상기 하부전극을 향하는 팁(tip)이 형성된 상부전극을 갖는 상변환 기억소자의

제조방법을 제공한다. 이 방법은 반도체 기판 상에 실린더형 내벽을 갖는 전극영역을 포함하는 제1 주형막(mold layer)을 형성하고, 상기 제1 주형막 상에 도전막을 콘포말하게 형성하는 것을 포함한다. 상기 도전막 상에 제2 주형막(mold layer)을 형성하고, 상기 제2 주형막 및 상기 도전막을 화학적계적연마공정으로 연마하여 상기 전극영역의 바닥 및 내벽을 덮는 실린더형 하부전극을 형성한다. 상기 하부전극을 갖는 반도체 기판 상에 상기 수직부의 일부분 상에 콘택홀을 갖는 층간절연막을 형성하고, 상기 콘택홀의 내벽에 스페이서 패턴을 형성한다. 상기 스페이서 패턴은 상기 수직부의 일부분을 노출시키는 할로영역(hollow region)을 갖도록 형성할 수 있다. 상기 층간절연막 및 상기 스페이서 패턴을 갖는 반도체 기판 상에 상기 할로영역 내에 덴트를 갖는 상변환막을 형성하고, 상기 상변환막 상에 도전막을 형성한다. 계속해서, 상기 도전막 및 상기 상변환막을 차례로 패터닝하여 상기 하부전극 상에 차례로 적층된 상변환 패턴 및 상부전극을 형성한다.

<29> 다른 방법으로, 본 발명은 반도체 기판 상에 실린더형 내벽을 갖는 전극영역을 포함하는 제1 주형막(outer mold layer)을 형성하고, 상기 주형막 상에 도전막을 콘포말하게 형성하는 것을 포함한다. 상기 도전막 상에 제2 주형막(inner mold layer)을 형성하고, 상기 제2 주형막 및 상기 도전막을 화학적계적연마공정으로 연마하여 상기 전극영역의 바닥 및 내벽을 덮는 실린더형 하부전극을 형성한다. 상기 하부전극을 갖는 반도체 기판 상에 상기 수직부의 일부분 상에 콘택홀을 갖는 층간절연막을 형성하고, 상기 콘택홀의 내벽에 스페이서 패턴을 형성한다. 상기 스페이서 패턴은 상기 수직부의 일부분을 노출시키는 할로영역(hollow region)을 갖도록 형성할 수 있다. 상기 할로영역 내에 상기 하부전극에 접하고 상기 하부전극 상부에서 덴트를 갖는 상변환 패턴을 형성하고, 상

기 상변환 패턴 상에 도전막을 형성한다. 계속해서, 상기 도전막을 패터닝하여 상기 상변환 패턴 상에 상부전극을 형성한다.

<30> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<31> 도 6a는 본 발명의 제1 실시예에 따른 상변환 기억소자의 정보저장 영역을 나타낸 평면도이다.

<32> 도 6b는 도 6a의 A-A에 따라 취해진 상변환 기억소자의 정보저장 영역의 나타낸 단면도이다.

<33> 도 6을 참조하면, 본 발명의 제1 실시예에 따른 상변환 기억소자는 반도체 기판 상에 형성된 실린더형 하부전극(56e)을 포함한다. 상기 하부전극(56e)은 상기 반도체 기판 상에 형성된 하부층간절연막(50) 상에 형성되고, 상기 하부층간절연막(50)을 관통하여 상기 반도체 기판에 접속된 콘택플러그(52)와 전기적으로 접속된다. 상기 하부전극(56e)은 평판부(planar portion; 56p) 및 수직부(vertical portion; 56v)를 포함하고, 상기 하부전극(56e)의 평판부(56p)와 상기 콘택플러그(52)가 전기적으로 접속한다. 상기 하부전

극(56e)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)을 형성되는 것이 바람직하다.

<34>        상기 실린더형 하부전극(56e) 내부 및 외부에 주형막(mold layer; 58r, 54)이 형성된다. 따라서, 상기 주형막(58r, 54)의 상부면과 동일 레벨(level)에서, 상기 수직부(56v)의 상부끝(upper end)은 루우프(loop)형태로 상기 주형막들(58r, 54) 사이에 개재된다.

<35>        상기 하부전극(56e) 및 상기 주형막(54, 58r) 상에 층간절연막(60)이 형성된다. 상기 층간절연막(60)은 상기 하부전극(56e)의 수직부(56v)의 일부분 상에 형성된 콘택홀의 측벽(60s)을 구성한다. 상기 층간절연막(60)과 상기 하부전극(56e) 사이에 식각저지막(59)이 더 개재될 수 있다. 상기 콘택홀의 측벽(60s)에 스페이서 패턴(62)이 형성된다. 상기 스페이서 패턴의 측벽(62s)은 상기 콘택홀 내에 할로영역(63)을 한정한다. 상기 층간절연막(60) 상에 차례로 적층된 상변환패턴(phase changeable pattern; 64g) 및 상부전극(66e)이 배치된다. 상기 상변환 패턴(64g)은 상기 할로영역(63)을 통하여 상기 하부전극(56e)의 수직부(56v)와 전기적으로 접속된다. 상기 상부전극(66e)은 상기 하부전극(56e)을 향하는 팁(T)을 가진다. 상기 상부전극(66e)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)을 형성되는 것이 바람직하다. 상기 상부전극(66e) 상에 하드마스크 패턴(68h)이 더 형성될 수도 있다. 상기 상변환 패턴(64g) 및 상기 상부전극(66e)을 포함하는 반도체 기판 상에 상부층간절연막(72)이 형성된다. 이 때, 상기 상부층간절연막(72)과 상기 상변환 패턴(64g)의 측벽(64s) 사이에 보호막(shield

layer; 70)가 더 개재될 수 있다. 상기 보호막(70)은 상기 상변환 패턴(64g)의 특성저하(degradation)를 방지하기 위하여 사용되고, 실리콘 옥시나이트라이드(silicon oxynitride)로 형성되는 것이 바람직하다. 상기 상부 층간절연막(72) 상에 상기 상부전극(66e)과 전기적으로 접속된 평판전극(76)이 형성된다. 상기 평판전극(76)은 상기 상부전극(66e)에 전기적으로 접속된 플러그(74)에 접속되거나, 상기 상부층간절연막(72)을 통하여 연장되어 상기 상부전극(66e)에 직접 전기적으로 접속될 수 있다.

<36> 도 7a는 본 발명의 제2 실시예에 따른 상변환 기억소자의 정보저장 영역을 나타낸 평면도이다.

<37> 도 7b는 도 7a의 B-B를 따라 취해진 상변환 기억소자의 정보저장 영역을 나타낸 단면도이다.

<38> 도 7a 및 도 7b를 참조하면, 본 발명의 제2 실시예에 따른 상변환 기억소자의 정보저장영역은 상술한 제1 실시예와 유사하다.

<39> 상기 제1 실시예와 마찬가지로, 이 상변환 기억소자의 정보저장영역은 콘택플러그(52), 상기 콘택플러그(52) 상에 형성된 실린더형 하부전극(56e), 및 상기 하부전극(56e) 상에 형성되어 상기 하부전극(56e)과 접하는 상변환 패턴(64t)을 포함한다. 상기 하부전극(56e)은 평판부(56p) 및 수직부(56v)를 포함하고, 상기 평판부(56p)는 상기 콘택플러그(52)와 전기적으로 접속되고, 상기 수직부(56v)는 상기 상변환 패턴(64t)과 접한다. 제2 실시예에서, 상기 상변환 패턴(64t)은 스페이서 패턴(62)의 측벽(62s)으로 한정된 할로영역(63) 내에 형성된다. 상기 상변환 패턴(64t) 상에 상부전극(66e)이 배치된다. 상기 상부전극(66e)은 측방향으로 확장

되어 그 측벽은 층간절연막(60) 상에 위치한다. 상기 상변환 패턴(64t)의 측벽은 상기 스페이서 패턴(62)과 접하기 때문에 상기 제2 실시예는 보호막(도 6b의 70)을 가지지 않아도 된다. 상기 제1 실시예와 마찬가지로, 상기 상부전극(66e)에 플레이트 전극(78)이 접속된다. 상기 플레이트 전극(78)은 상기 상부전극(66e) 상에 형성된 플러그에 전기적으로 접속되거나, 도시된 것과 같이, 상부층간절연막(72)을 통하여 연장되어 상기 상부전극(66e)에 직접 전기적으로 접속될 수 있다.

<40> 도 8 내지 도 13은 본 발명의 제1 실시예에 따른 상변환 기억소자의 제조방법을 설명하기 위한 공정단면도들이다.

<41> 도 8을 참조하면, 반도체 기판 상에 콘택플러그(52)를 형성한다. 상기 콘택플러그(52)는 상기 반도체 기판 상에 형성된 하부층간절연막(50)을 관통하여 억세스 트랜지스터의 소오스 영역에 접속된다. 상기 콘택플러그(52) 및 상기 하부층간절연막(52) 상에 제1 주형절연막(mold dielectric layer; 54)을 형성하고, 상기 제1 주형절연막(54)을 패터닝하여 상기 제1 주형절연막(54)으로 이루어진 측벽(54s)을 가지는 전극영역을 형성한다. 상기 전극영역은 상기 콘택플러그(52)를 노출시킨다.

<42> 도 9을 참조하면, 상기 전극영역이 형성된 반도체 기판 상에 도전막(56)을 콘포말하게 형성한다. 상기 도전막(56)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)을 형성하는 것이 바람직하다. 상기 도전막(56) 상에 제2 주형절연막(58)을 형성한다.

<43> 도 10를 참조하면, 상기 제2 주형절연막(58)과, 상기 제1 주형절연막(54) 상의 상기 도전막(56)을 화학적기계적 연마공정을 사용하여 연마하여, 상기 콘택플러그(52)에



접속된 실린더형 하부전극(56e)을 형성한다. 상기 하부전극(56e)은 상기 콘택플러그(52)에 접속된 평판부(planar portion; 56p)과 상기 주형절연막들(54, 58r) 사이에 개재된 수직부(vertical portion; 56v)을 포함한다. 상기 주형절연막들(54, 58r)의 상부면과 동일 레벨(level)에서, 상기 하부전극(56e)은 상기 제1, 제2 주형절연막들(54, 58r) 사이에 개재되어 루우프(loop)형태를 가진다. 상기 하부전극(56e) 및 상기 제1, 제2 주형막들(54, 58r) 상에 층간절연막(60)을 형성한다. 상기 층간절연막(60)을 형성하기 전에 상기 반도체 기판 상에 식각저지막(59)을 형성할 수도 있다. 상기 층간절연막(60)을 패터닝하여 상기 하부전극(56e)의 수직부(56v) 상에 콘택홀을 형성한다. 상기 콘택홀은 상기 층간절연막(60)으로 이루어진 측벽(60s)으로 정의된다. 상기 식각저지막(59)은 상기 층간절연막(60)을 식각하는 동안 상기 하부전극(56e)의 과식각을 방지할 수 있다. 상기 식각저지막(59)을 형성한다면, 상기 층간절연막(60)을 패터닝하고, 계속해서 상기 식각저지막(59)을 식각하여 상기 하부전극(56e)의 수직부(56v)의 상부끝(upper end)을 노출시킨다.

<44> 계속해서 도 10를 참조하면, 상기 콘택홀이 형성된 반도체 기판 상에 스페이서 절연막을 콘포말하게 형성한다. 상기 스페이서 절연막을 이방성 식각하여 상기 콘택홀의 측벽(60s)에 스페이서 패턴(62)을 형성한다. 상기 스페이서 패턴(62)의 측벽(62s)은 상기 상부전극의 수직부의 상부끝(upper end)이 노출된 할로영역(63)을 한정한다.

<45> 도 11을 참조하면, 상기 스페이서 패턴(62)이 형성된 반도체 기판 상에 상변환막(64)을 콘포말하게 형성한다. 상기 상변환막(64)은 상기 하부전극(56e)의 상부에 상기 하부전극(56e)을 향하는 덴트(dent)가 형성되도록 그 두께를 적절히 조절하면서 형성하는 것이 바람직하다. 상기 상변환막(64) 상에 도전막(66)을 형성한다. 그 결과, 상기 도

전막(66)은 상기 덴트를 채워 상기 하부전극(56e)을 향하는 팁(tip;T)을 가지게 된다.  
 상기 도전막(66)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)을 형성하는 것이 바람직하다. 상기 도전막 상에 하드마스크막(68)을 더 형성할 수도 있다.

<46> 도 12을 참조하면, 상기 하드마스크막, 상기 도전막(66) 및 상기 상변환막(64)을 차례로 패터닝하여 상기 하부전극(56e) 상에 차례로 적층된 상변환 패턴(64g), 상부전극(66e) 및 하드마스크 패턴(68h)을 형성한다. 상기 상변환 패턴(64g)은 상기 층간절연막(60) 상에 측벽(64s)을 가진다. 상기 상변환 패턴(64g) 및 상기 상부전극(66e)이 형성된 기판 상에 상기 상변환 패턴(64g)의 특성저하를 방지하기 위한 보호막(shield layer; 70)을 형성하고, 상기 보호막(70) 상에 상부층간절연막(72)을 형성한다. 상기 보호막(70)은 예컨대, 실리콘옥시나이트라이드로 형성하는 것이 바람직하고, 상기 상부층간절연막(72)은 고밀도플라즈마산화막(HDP Oxide) 및 PETEOS막등을 적층하여 형성하는 것이 바람직하다.

<47> 이어서, 상기 상부층간절연막(72), 상기 보호막(70) 및 상기 하드마스크패턴(68h)을 관통하여 상기 상부전극(66e)에 접속된 플레이트 전극(도 6b의 76)을 형성함으로써, 도 6a 및 도 6b에 도시된 상변환기억소자를 제조할 수 있다.

<48> 도 13 내지 도 15는 본 발명의 제2 실시예에 따른 상변환 기억소자의 제조방법을 설명하기 위한 공정단면도들이다.

<49> 도 13를 참조하면, 제2 실시예는 제1 실시예와 마찬가지로, 반도체 기판 상에 콘택 플러그(52), 및 주형막들(54, 58r) 사이에 개재된 하부전극(56e)을 형성하고, 상기 하부

전극(56e)이 형성된 기판 상에 식각저지막(59) 및 층간절연막(60)을 형성하고, 상기 층간절연막(60)을 패터닝하여 상기 하부전극(56e) 상에 상기 층간절연막(60)으로 이루어진 측벽(60s)을 갖는 콘택홀을 형성하고, 상기 콘택홀의 측벽(60s)에 스페이서패턴(62)을 형성하는 것을 포함한다. 상기 스페이서 패턴(62)의 측벽(62s)은 상기 하부전극(56e)의 수직부(56v)의 상부 끝(upper end)를 노출시키는 할로영역(63)을 한정한다. 상기 스페이서 패턴(62)이 형성된 기판 상에 상변환막(64)을 형성한다. 상기 상변환막(64)은 상기 하부전극(56e) 상부에 덴트(D)가 형성되도록 두께를 적절히 조절하는 것이 바람직하다. 상기 덴트(D)의 최저점은 상기 층간절연막(60)의 상부면보다 소정의 높이(h)만큼 낮게 위치하도록 형성하여, 이후 연마공정을 실시하더라도 상기 덴트(D)의 하부의 일부가 남길 수 있다.

<50> 도 14을 참조하면, 상기 상변환막(64)을 화학적 기계적 연마공정을 사용하여 연마하여 상기 층간절연막(60)의 상부면을 노출시키고, 상기 할로영역(63) 내에 채워진 상변환 패턴(64t)을 형성한다. 상기 상변환 패턴(64t)의 상기 덴트(D)는 상기 화학적기계적 연마공정에서 연마될 수 있으나, 그 하부의 일부는 상기 상변환 패턴(64t) 상에 존재한다. 상기 상변환 패턴(64t)이 형성된 기판 상에 도전막(66)을 형성한다.

<51> 도 15를 참조하며, 상기 도전막(66)을 패터닝하여 상기 상변환 패턴(64t) 상에 상부전극(66e)을 형성한다. 상기 상부전극(66e)은 상기 층간절연막(60) 상에 측벽(66s)을 가진다. 상기 도전막(66) 상에 하드마스크막(68)을 더 형성함으로써, 상기 상부전극(66e) 상부에 하드마스크 패턴(68h)이 더 형성될 수도 있다.

<52> 계속해서, 상기 상부전극(66e)이 형성된 기판 상에 상부충간절연막(72)을 형성하고, 상기 상부충간절연막(72)을 관통하는 플레이트 전극(도 7b의 78))을 형성함으로써, 도 7a 및 도 7b에 도시된 상변환 기억소자를 제조할 수 있다. 본 발명의 제2 실시예에서는 상기 상변환 패턴(64t)이 상기 할로영역 내에 위치하므로 보호막(도 12의 72)을 형성하는 단계를 생략할 수 있다.

#### 【발명의 효과】

<53> 상술한 것과 같이 본 발명에 따르면, 상변환 기억소자는 하부전극, 상변환 패턴 및 상부전극을 포함하고, 상기 상부전극은 상기 하부전극을 향하는 팁을 가지고, 상기 상변환 패턴은 실린더형 하부전극의 수직부의 일부분과 접촉한다. 따라서, 상기 하부전극과 상기 상부전극 사이에 흐르는 전류의 밀도를 높일 수 있다.

<54> 도 16 및 도 17은 각각 본 발명의 효과를 설명하기 위한 도면들이다.

<55> 도 16에 도시된 것과 같이, 종래의 상변환 기억소자는 하부전극(BE)과 상부 전극(TE)이 평판으로 서로 마주본다. 따라서, 상기 하부전극(BE)과 상기 상부전극(TE) 사이의 상변환 패턴(GST)에서의 전류밀도(D1)가 균일하다. 그러나, 도 17에 도시된 것과 같이, 본 발명에 따른 상변환 기억소자는 팁(T)을 가지는 상부전극(TE)을 포함하고, 상기 상변환 패턴(GST)과 접하는 하부전극의 면적이 작다. 따라서, 상기 하부전극(BE)과 상기 상변환 패턴(GST)사이의 계면저항이 높고, 상기 하부전극(BE)으로 부터 상기 상부전극(TE)으로 향하는 전류는 상기 팁(T)을 향해 집중되기때문에 상기 하부전극(BE) 상의 상기 상변환 패턴(GST)으로 흐르는 전류밀도(D2)가 종래의 전류밀도(D1)에 비해 상대적으로 높아진다. 결과적으로, 동일한 전류량을 하부전극에 인가할 때, 종래기술에 비하여

본 발명의 기억소자는 높은 전류밀도를 얻을 수 있기 때문에 전극과 상변환막의 계면 및 상변환막 내에서 높은 저항열을 발생시킬 수 있다. 즉, 상변환기억소자에 인가하는 전류의 양을 증가시키지 않더라도, 높은 효율을 얻을 수 있어 저전력 상변환 소자를 제조할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 형성되되, 평판부(planar portion) 및 수직부(vertical portion)을 갖는 실린더형 하부전극;

상기 수직부의 일부분 상에 형성되어 상기 하부전극과 접하는 상변환 패턴; 및

상기 상변환 패턴 상에 형성된 상부전극을 포함하되, 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 갖는 것을 특징으로 하는 상변환 기억소자.

**【청구항 2】**

제1 항에 있어서,

상기 반도체 기판 상에 형성된 하부충간절연막; 및

상기 하부충간절연막을 관통하여 상기 반도체 기판에 접속된 콘택플러그를 더 포함하되,

상기 실린더형 하부전극은 상기 콘택플러그 상에 형성되어 상기 콘택플러그와 전기적으로 접속된 것을 특징으로 하는 상변환 기억소자.

**【청구항 3】**

반도체 기판에 형성되되, 평판부 및 수직부를 갖는 실린더형 하부전극;

상기 하부전극을 갖는 반도체 기판 상에 형성되고, 상기 수직부의 일부분 상에 콘택홀을 갖는 충간절연막;

상기 콘택홀의 내벽에 형성되어 상기 하부전극 상에 할로영역(hollow region)을 갖는 스페이서 패턴;

상기 할로영역을 채우며 상기 하부전극과 접하되, 상기 층간절연막 상에 측벽을 갖는 상변환 패턴;

상기 상변환 패턴 상에 형성된 상부전극을 포함하되, 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 갖는 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 4】

제3 항에 있어서,

상기 실린더형 하부전극의 내부 및 외부에 형성된 주형막(mold layer)를 더 포함하되, 상기 층간절연막은 상기 주형막 상에 형성되고, 상기 콘택홀은 상기 하부전극의 수직부 상부를 가로질러 상기 하부전극 내부 및 외부의 주형막 상에 형성되는 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 5】

제3 항에 있어서,

상기 반도체 기판 상에 형성된 하부층간절연막;및

상기 하부층간절연막을 관통하여 상기 반도체 기판에 접속된 콘택플러그를 더 포함하되,

상기 실린더형 하부전극은 상기 콘택플러그 상에 형성되어 상기 콘택플러그와 전기적으로 접속된 것을 특징으로 하는 상변환 기억소자.

**【청구항 6】**

제3 항에 있어서,

상기 층간절연막과 상기 하부전극 사이에 개재된 식각저지막을 더 포함하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 7】**

제3 항에 있어서,

상기 상변환 패턴의 측벽을 덮는 보호막(shield layer)를 더 포함하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 8】**

제3 항에 있어서,

상기 상부전극 상에 형성되고, 상기 상부전극과 전기적으로 접속되는 플레이트 전극을 더 포함하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 9】**

반도체 기판에 형성되되, 평판부 및 수직부를 갖는 실린더형 하부전극;

상기 하부전극을 갖는 반도체 기판 상에 형성되고, 상기 수직부의 일부분 상에 콘택홀을 갖는 층간절연막;

상기 콘택홀의 내벽에 형성되어 상기 하부전극 상에 할로영역(hollow region)을 갖는 스페이서 패턴;

상기 할로영역 내에 채워져 상기 하부전극과 접하는 상변환패턴;



상기 상변환 패턴 상에 형성되고, 상기 층간절연막 상에 측벽을 갖는 상부전극을 포함하되, 상기 상부전극은 상기 하부전극 상부에 상기 하부전극을 향하는 팁(tip)을 갖는 것을 특징으로 하는 상변환 기억소자.

**【청구항 10】**

제9 항에 있어서,

상기 실린더형 하부전극의 내부 및 외부에 형성된 주형막(mold layer)를 더 포함하되, 상기 층간절연막은 상기 주형막 상에 형성되고, 상기 콘택홀은 상기 하부전극의 수직부 상부를 가로질러 상기 하부전극 내부 및 외부의 주형막 상에 형성되는 것을 특징으로 하는 상변환 기억소자.

**【청구항 11】**

제9 항에 있어서,

상기 반도체 기판 상에 형성된 하부층간절연막;및

상기 하부층간절연막을 관통하여 상기 반도체 기판에 접속된 콘택플러그를 더 포함하되,

상기 실린더형 하부전극은 상기 콘택플러그 상에 형성되어 상기 콘택플러그와 전기적으로 접속된 것을 특징으로 하는 상변환 기억소자.

**【청구항 12】**

제9 항에 있어서,

상기 층간절연막과 상기 하부전극 사이에 개재된 식각저지막을 더 포함하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 13】**

제9 항에 있어서,

상기 상부전극 상에 형성되고, 상기 상부전극과 전기적으로 접속되는 플레이트 전극을 더 포함하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 14】**

반도체 기판 상에 실린더형 내벽을 갖는 전극영역을 포함하는 제1 주형막(outer mold layer)을 형성하는 단계;

상기 주형막 상에 도전막을 콘포말하게 형성하는 단계;

상기 도전막 상에 제2 주형막(inner mold layer)을 형성하는 단계;

상기 희생막 및 상기 도전막을 화학적계적연마공정으로 연마하여 상기 전극영역의 바닥 및 내벽을 덮는 실린더형 하부전극을 형성하는 단계;

상기 하부전극을 갖는 반도체 기판 상에 상기 수직부의 일부분 상에 콘택홀을 갖는 층간절연막을 형성하는 단계;

상기 콘택홀의 내벽에 스페이서 패턴을 형성하되, 상기 스페이서 패턴은 상기 수직부의 일부분을 노출시키는 할로영역(hollow region)을 갖도록 형성하는 단계;

상기 층간절연막 및 상기 스페이서 패턴을 갖는 반도체 기판 상에 상기 할로영역 내에 텐트를 갖는 상변환막을 형성하는 단계;

상기 상변환막 상에 도전막을 형성하는 단계; 및

상기 도전막 및 상기 상변환막을 차례로 패터닝하여 상기 하부전극 상에 차례로 적층된 상변환 패턴 및 상부전극을 형성하는 단계를 포함하는 상변환 기억소자의 제조방법.

【청구항 15】

제14 항에 있어서,

상기 층간절연막을 형성하기 전에,

상기 하부전극을 갖는 상기 반도체 기판 상에 식각저지막을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

【청구항 16】

제15 항에 있어서,

상기 콘택홀을 형성하는 단계는,

상기 층간절연막을 패터닝하여 상기 하부전극의 일부분 상의 상기 식각저지막을 노출시키는 단계; 및

상기 노출된 식각저지막을 식각하여 상기 하부전극을 노출시키는 단계를 포함하는 상변환 기억소자의 제조방법.

【청구항 17】

제14 항에 있어서,

상기 상변환막은 상기 할로영역의 최소하부폭의 1/2보다 두껍게 형성하는 것을 특징으로 하는 상변환 기억소자의 제조방법.

**【청구항 18】**

제14 항에 있어서,

상기 도전막은 상기 상변환막의 텐트를 채워 상기 하부전극을 향하는 팁(tip)을 형성하는 것을 특징으로 하는 상변환 기억소자의 제조방법.

**【청구항 19】**

제14 항에 있어서,

상기 상변환 패턴 및 상기 상부전극을 갖는 반도체 기판 상에 상부 층간절연막을 형성하는 단계;

상기 상부 층간절연막을 패터닝하여 상기 상부전극의 일부분을 노출시키는 단계; 및

상기 상부 층간절연막 상에 상기 상부전극에 접속된 플레이트 전극을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

**【청구항 20】**

제19 항에 있어서,

상기 상부 층간절연막을 형성하기 전에 상기 상변환 패턴 및 상기 상부전극을 갖는 반도체 기판 상에 상기 상변환 패턴의 측벽을 덮는 보호막을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

**【청구항 21】**

반도체 기판 상에 실린더형 내벽을 갖는 전극영역을 포함하는 제1 주형막(outermold layer)을 형성하는 단계;

상기 주형막 상에 도전막을 콘포말하게 형성하는 단계;

상기 도전막 상에 제2 주형막(inner mold layer)을 형성하는 단계;

상기 희생막 및 상기 도전막을 화학적계적연마공정으로 연마하여 상기 전극영역의 바닥 및 내벽을 덮는 실린더형 하부전극을 형성하는 단계;

상기 하부전극을 갖는 반도체 기판 상에 상기 수직부의 일부분 상에 콘택홀을 갖는 층간절연막을 형성하는 단계;

상기 콘택홀의 내벽에 스페이서 패턴을 형성하되, 상기 스페이서 패턴은 상기 수직부의 일부분을 노출시키는 할로영역(hollow region)을 갖도록 형성하는 단계;

상기 할로영역 내에 상기 하부전극에 접하고 상기 하부전극 상부에 텐트를 갖는 상변환 패턴을 형성하는 단계;

상기 상변환 패턴 상에 도전막을 형성하는 단계;및

상기 도전막을 패터닝하여 상기 상변환 패턴 상에 상부전극을 형성하는 단계를 포함하는 상변환 기억소자의 제조방법.

#### 【청구항 22】

제21 항에 있어서,

상기 층간절연막을 형성하기 전에,

상기 하부전극을 갖는 상기 반도체 기판 상에 식각저지막을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

#### 【청구항 23】

제22 항에 있어서,

상기 콘택홀을 형성하는 단계는,

상기 층간절연막을 패터닝하여 상기 하부전극의 일부분 상의 상기 식각저지막을 노출시키는 단계; 및

상기 노출된 식각저지막을 식각하여 상기 하부전극을 노출시키는 단계를 포함하는 상변환 기억소자의 제조방법.

**【청구항 24】**

제22 항에 있어서,

상기 상변환 패턴을 형성하는 단계는,

상기 할로영역을 갖는 반도체 기판 상에 상기 하부전극 상부에 텐트를 갖는 상변환막을 형성하되, 상기 텐트의 최심부는 상기 층간절연막의 상부면보다 낮은 레벨에 위치하도록 형성하는 단계;

화학적기계적 연마공정을 사용하여 상기 상변환막을 연마하여 상기 층간절연막을 노출시키고, 상기 할로영역 내에 상변환 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 상변환 기억소자의 제조방법.

**【청구항 25】**

제22 항에 있어서,

상기 도전막은 상기 상변환막의 텐트를 채워 상기 하부전극을 향하는 팁(tip)을 형성하는 것을 특징으로 하는 상변환 기억소자의 제조방법.

**【청구항 26】**

제22 항에 있어서,

상기 상변환 패턴 및 상기 상부전극을 갖는 반도체 기판 상에 상부 층간절연막을 형성하는 단계;

상기 상부 층간절연막을 패터닝하여 상기 상부전극의 일부분을 노출시키는 단계; 및

상기 상부 층간절연막 상에 상기 상부전극에 접속된 플레이트 전극을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

**【청구항 27】**

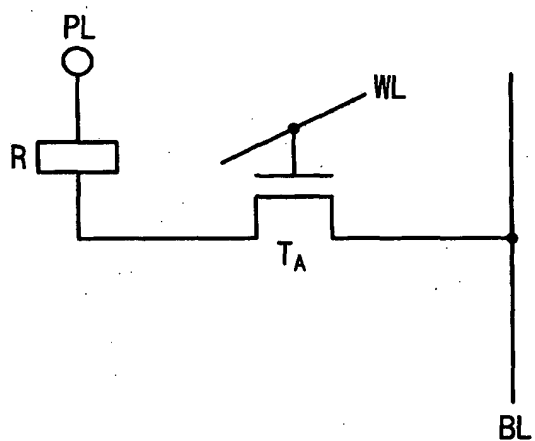
제26 항에 있어서,

상기 상부 층간절연막을 형성하기 전에 상기 상변환 패턴 및 상기 상부전극을 갖는 반도체 기판 상에 상기 상변환 패턴의 측벽을 덮는 보호막을 형성하는 단계를 더 포함하는 상변환 기억소자의 제조방법.

## 【도면】

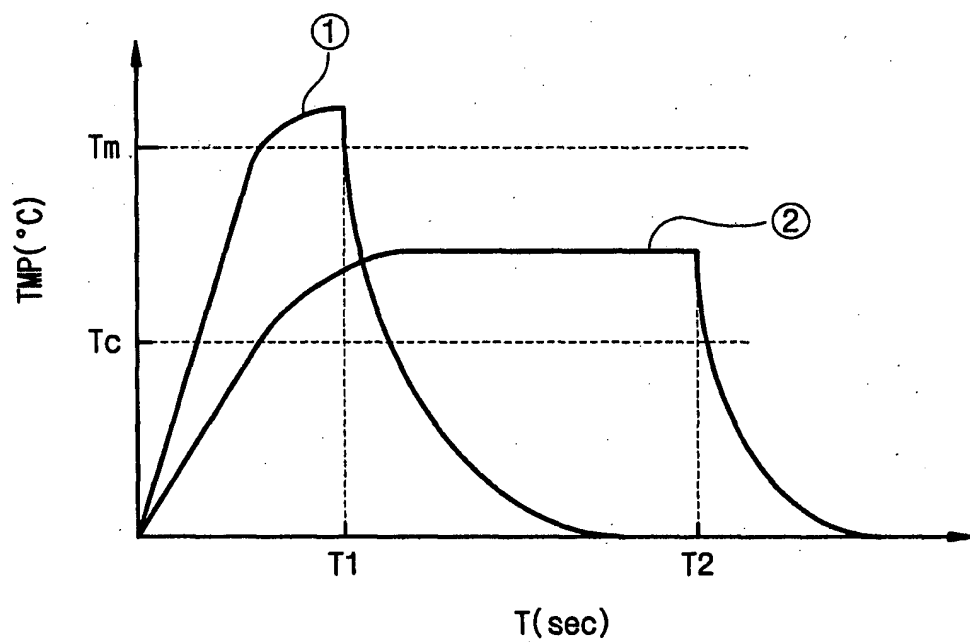
【도 1】

(종래 기술)



【도 2】

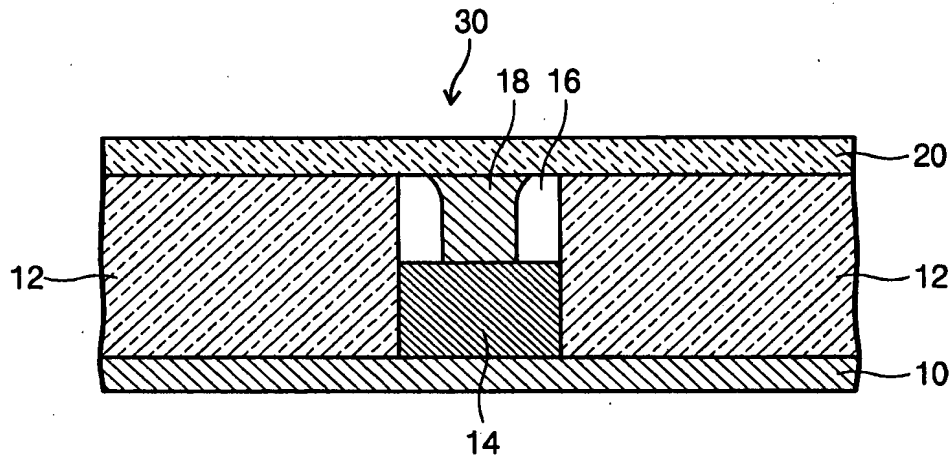
(종래 기술)





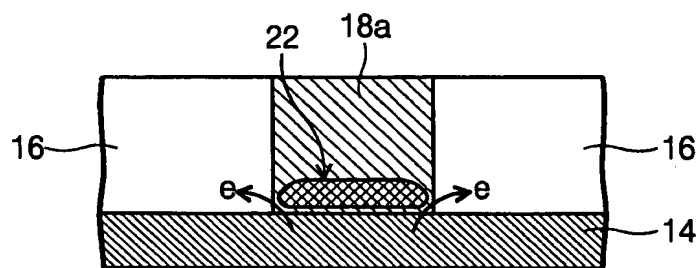
【도 3】

(종래 기술)



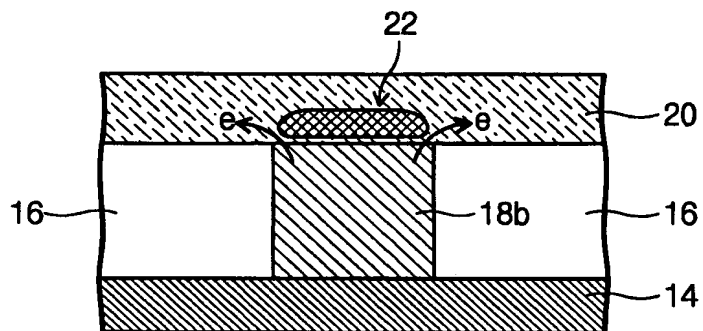
【도 4】

(종래 기술)

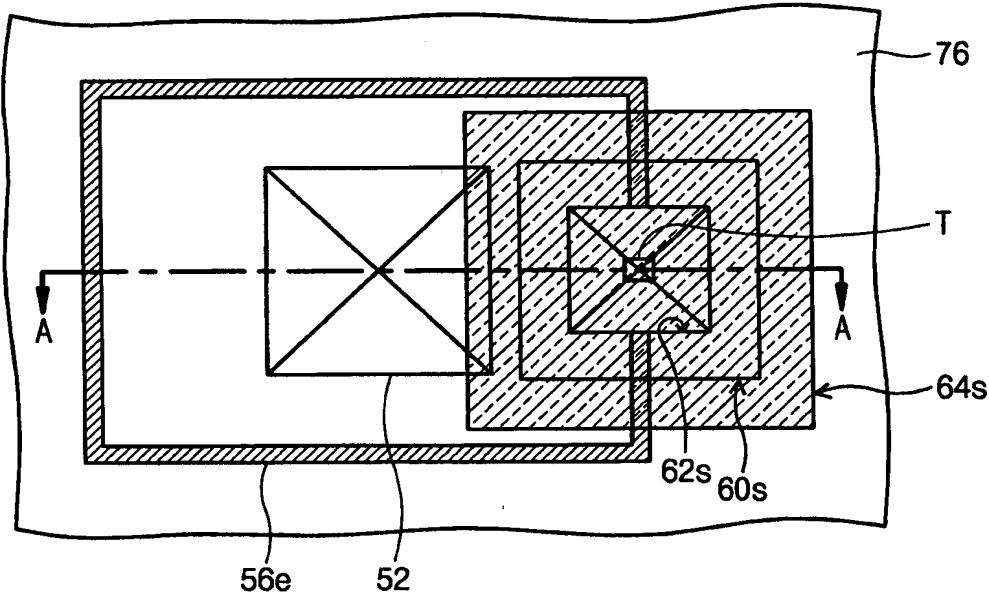


【도 5】

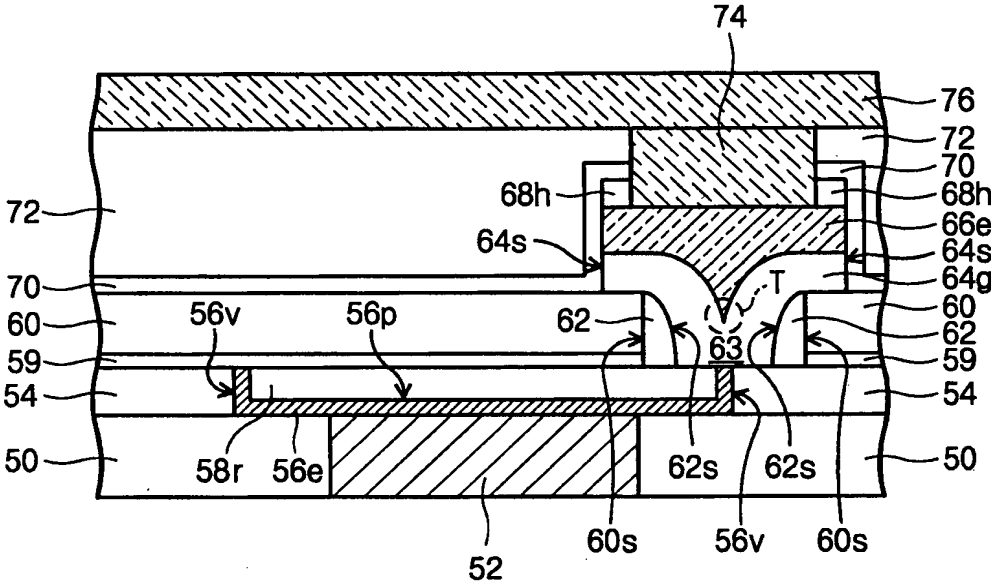
(종래 기술)



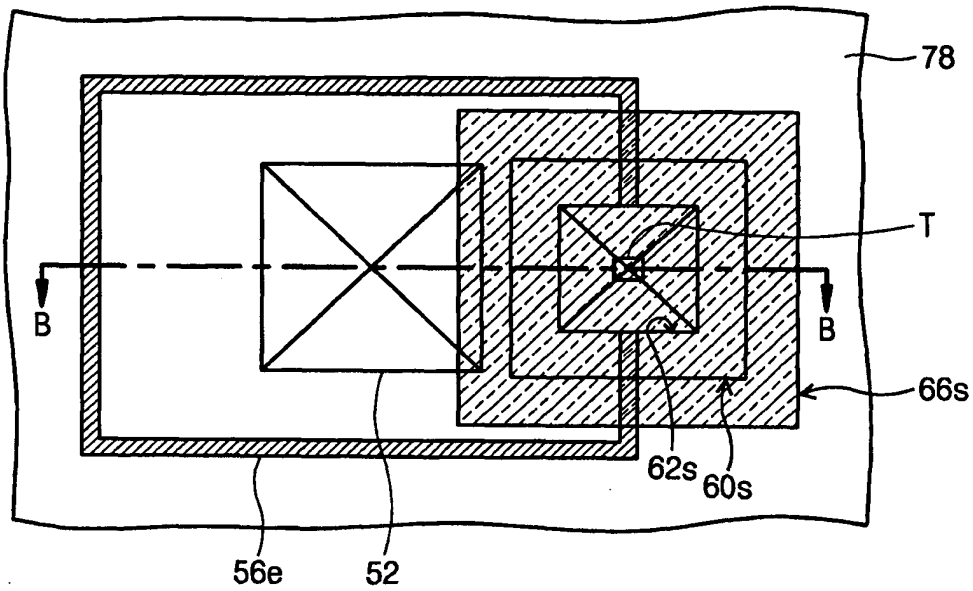
【도 6a】



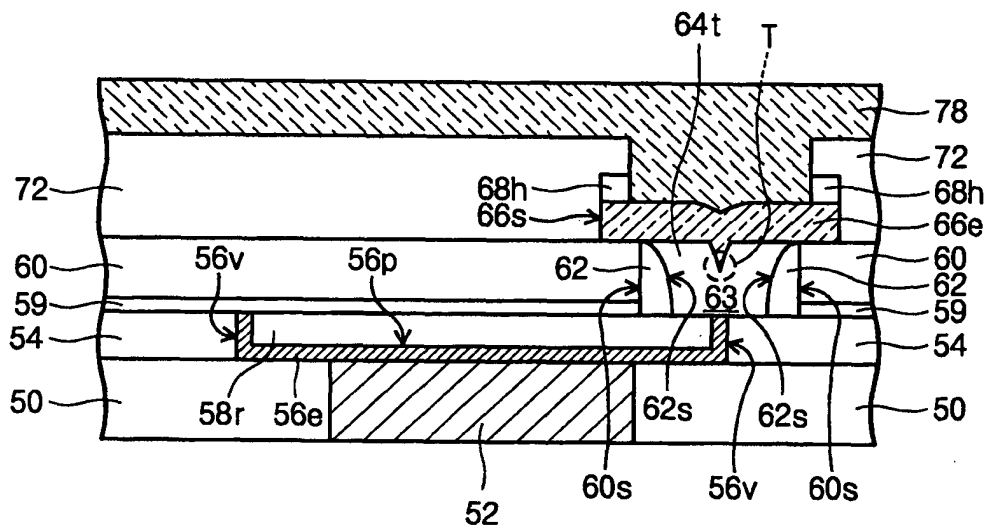
【도 6b】



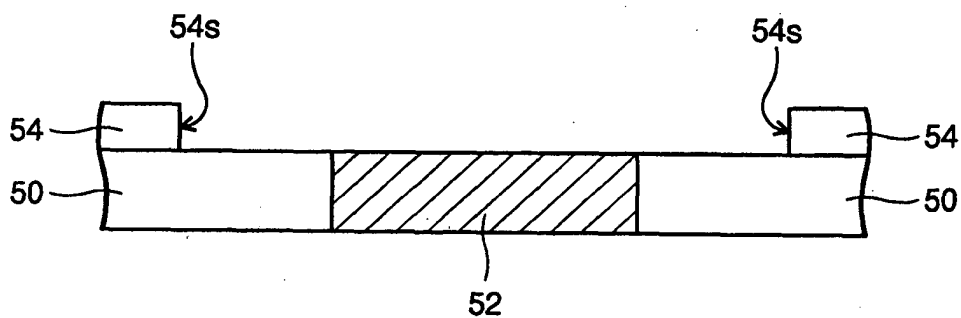
【도 7a】



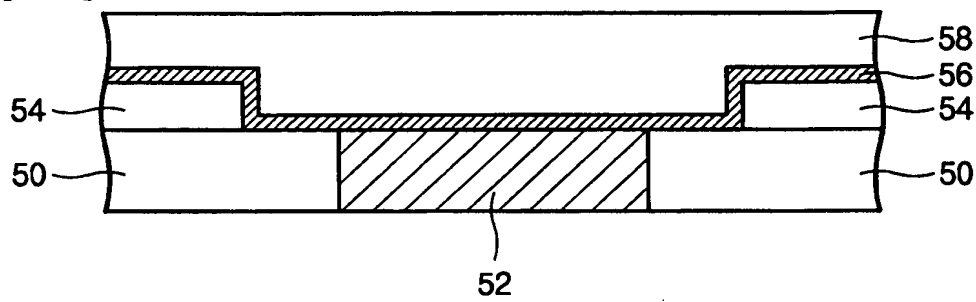
【도 7b】



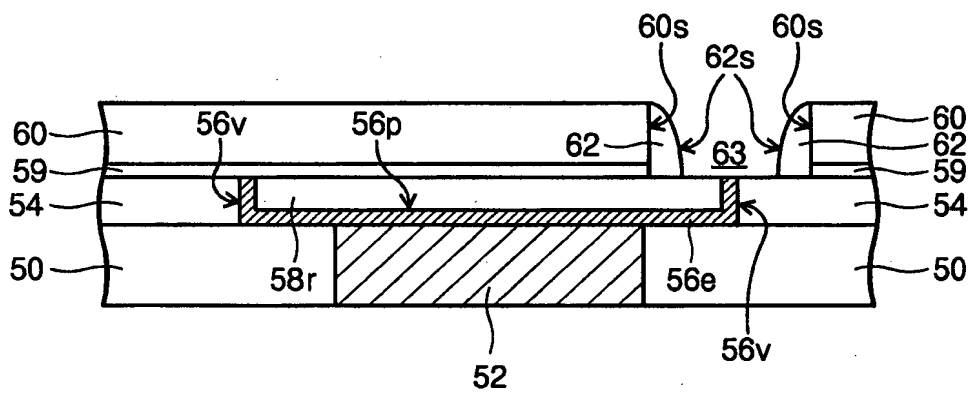
【도 8】



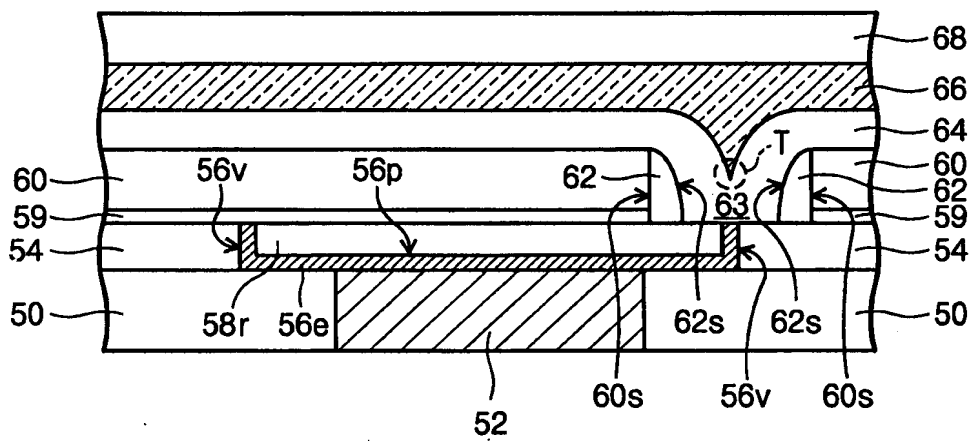
【도 9】



【도 10】



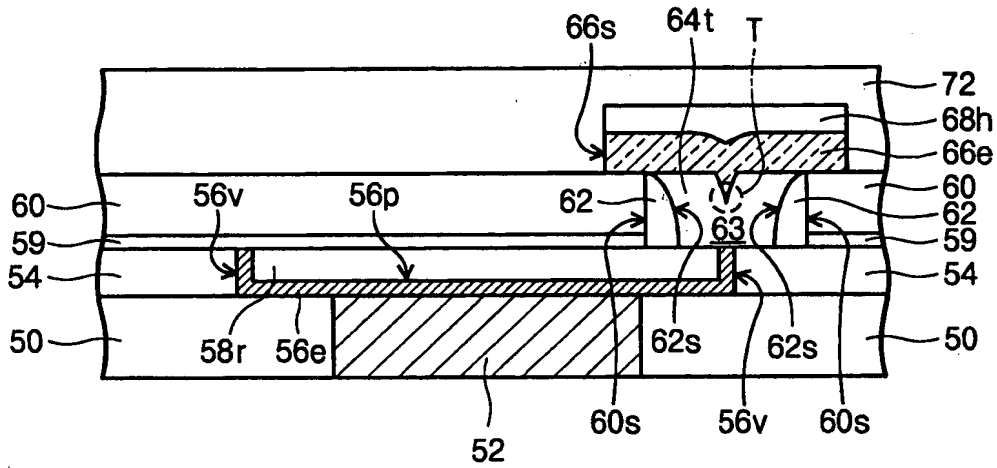
【도 11】



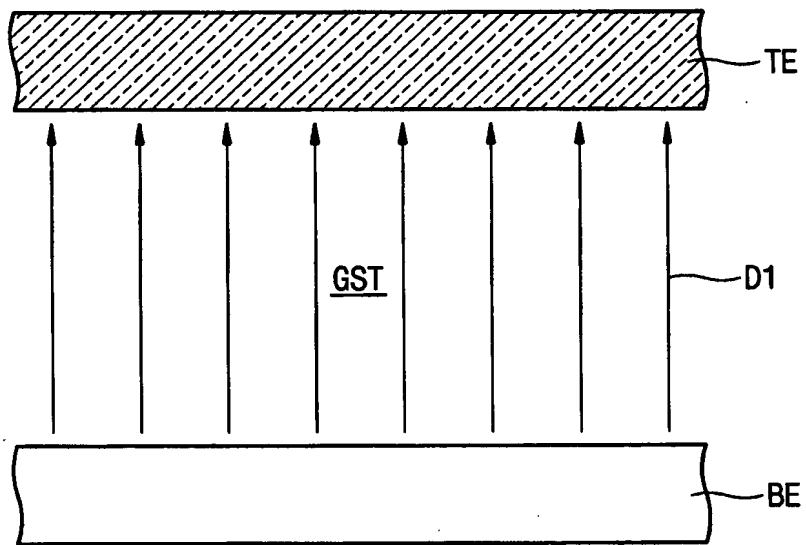
A detailed cross-sectional diagram of a semiconductor device. The structure consists of several horizontal layers. From top to bottom, they are labeled: 60 (topmost layer), 59, 54, and 50 (bottom substrate). A central region contains a series of vertical structures. On the left, there is a component labeled 56v. To its right is a larger rectangular block labeled 56p. Further right is a smaller rectangular block labeled 62. To the right of 62 is another large rectangular block labeled 56e. On the far right, there is a component labeled 58r. Above the 56p and 56e blocks, there are curved lines representing wires or connections, labeled 60s and 62s. A dashed line indicates a height dimension h from the top surface to the top of the 62 block. Another dashed line indicates a thickness T for the 56e block. A label D points to the space between the 60s and 62s wires. Other labels include 64, 60, 62, 59, 54, and 50 on the right side, corresponding to the layers.

60 56v 56p 62 64t T 68 66 60 62 59 54 50 58r 56e 52 60s 56v 60s

【도 15】



【도 16】



【도 17】

